

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2000-174661
 (43)Date of publication of application : 23.06.2000

(51)Int.Cl. H04B 1/707
 H03H 17/02

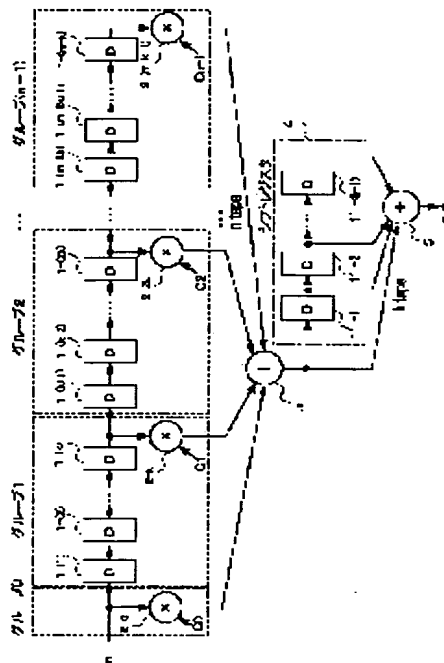
(21)Application number : 10-345738 (71)Applicant : KOKUSAI ELECTRIC CO LTD
 (22)Date of filing : 04.12.1998 (72)Inventor : URABE KENZO
 MIYATANI TETSUHIKO

(54) CORRELATION METHOD, MATCHED FILTER AND PORTABLE TERMINAL

(57)Abstract:

PROBLEM TO BE SOLVED: To solve the problem that a circuit scale is markedly increased when the number of over-samplings is enlarged and to reduce power consumption without markedly increasing the circuit scale.

SOLUTION: In this correlation method, registers 1 are cascade-connected by the number of the over-samplings and turned to a register group and input signals and sampling results and code sequences successively outputted from the register group are multiplied in multipliers 2. Output from the multipliers 2 is added in a first adder 3 and the output from the first adder is added by the number of the over-samplings in a moving averaging circuit.



LEGAL STATUS

[Date of request for examination]
 [Date of sending the examiner's decision of rejection]
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]
 [Date of final disposal for application]
 [Patent number]
 [Date of registration]
 [Number of appeal against examiner's decision of rejection]
 [Date of requesting appeal against examiner's decision of rejection]
 [Date of extinction of right]

Copyright (C); 1998,2000 Japanese Patent Office

This Page Blank (uspto)

(19)日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11)特許出願公開番号
特開2000-174661
(P2000-174661A)

(43)公開日 平成12年6月23日(2000.6.23)

| (51)Int.Cl. ⁷ | 識別記号 | F I | テマコード [*] (参考) |
|--------------------------|-------|---------------|-------------------------|
| H 0 4 B 1/707 | | H 0 4 J 13/00 | D 5 K 0 2 2 |
| H 0 3 H 17/02 | 6 0 1 | H 0 3 H 17/02 | 6 0 1 Z |

審査請求 未請求 請求項の数6 O L (全 9 頁)

(21)出願番号 特願平10-345738

(22)出願日 平成10年12月4日(1998.12.4)

(71)出願人 000001122

国際電気株式会社

東京都中野区東中野三丁目14番20号

(72)発明者 占部 健三

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(72)発明者 宮谷 徹彦

東京都中野区東中野三丁目14番20号 国際
電気株式会社内

(74)代理人 100093104

弁理士 船津 暢宏 (外1名)

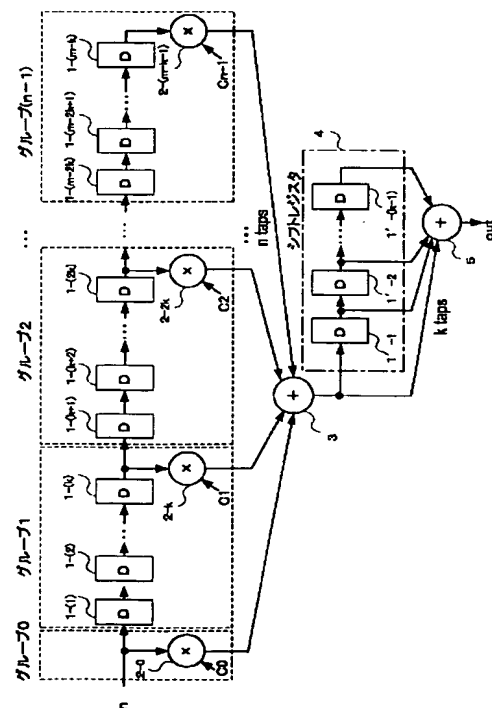
Fターム(参考) 5K022 EE02 EE33

(54)【発明の名称】 相関方法及びマッチドフィルタ及び携帯端末

(57)【要約】

【課題】 オーバーサンプリング数を大きくすると回路規模が著しく増加するという問題点を解決し、回路規模を著しく増加させることがなく、消費電力を低減できる相関方法及びマッチドフィルタ及び携帯端末を提供する

【解決手段】 レジスタ1をオーバーサンプリング数カスケード接続してレジスタグループとし、入力信号及びレジスタグループから順次出力されるサンプリング結果と符号系列とを乗算器2で乗算し、乗算器2からの出力を第1の加算器3で加算し、移動平均化回路で第1の加算器からの出力をオーバーサンプリング数に亘って加算する相関方法及びマッチドフィルタ及び携帯端末である。



【特許請求の範囲】

【請求項 1】 入力信号のサンプリング結果を特定数でグループ化したサンプリング系列について、各グループのサンプリング系列の先頭から順に得られるサンプリング結果と前記各グループに対応する符号系列とを順次乗算し、前記乗算の度に各グループにおける乗算結果を加算し、前記加算結果を前記特定数に亘って加算することを特徴とする相関方法。

【請求項 2】 入力信号のサンプリング結果をオーバーサンプリング数毎に拡散率に対応する数のグループにグループ化してサンプリング系列とし、前記各グループのサンプリング系列の先頭から順に得られるサンプリング結果と前記各グループに対応する符号系列とを順次乗算し、前記乗算の度に前記各グループにおける乗算結果を加算し、前記加算結果を前記オーバーサンプリング数に亘って加算することを特徴とする相関方法。

【請求項 3】 入力信号のサンプリング結果を順次シフトさせるレジスタをオーバーサンプリング数個連続に配列してレジスタグループとし、前記レジスタグループを拡散率より 1 小さい数連続して配列した第 1 のシフトレジスタ群と、前記入力信号及び前記レジスタグループにおける最終段のレジスタから順次出力されるサンプリング結果と符号系列とを乗算する拡散率に対応する数の乗算器と、前記各乗算器からの出力を加算する第 1 の加算器と、前記第 1 の加算器からの出力を前記オーバーサンプリング数に亘って加算する移動平均化回路とを有することを特徴とするマッチドフィルタ。

【請求項 4】 移動平均化回路は、第 1 の加算器からの出力を順次シフトさせるレジスタをオーバーサンプリング数より 1 小さい数連続して配列した第 2 のシフトレジスタ群と、前記第 2 のシフトレジスタ群の入力信号及び前記各レジスタに保持された値を加算する第 2 の加算器とを有する移動平均化回路であることを特徴とする請求項 3 記載のマッチドフィルタ。

【請求項 5】 移動平均化回路は、第 1 の加算器からの出力を累計加算する第 3 の加算器と、前記第 3 の加算器からの累計加算出力を一時的に保持し、前記保持した累計加算出力を前記第 3 の加算器に出力する累計レジスタと、前記第 3 の加算器からの累計加算出力を順次シフトさせるレジスタをオーバーサンプリング数連続して配列した第 3 のシフトレジスタ群と、前記第 3 の加算器からの累計加算出力と前記第 3 のシフトレジスタ群の最終段のレジスタからの出力との差分をとる第 4 の加算器とを有する移動平均化回路であることを特徴とする請求項 3 記載のマッチドフィルタ。

【請求項 6】 請求項 3 乃至請求項 5 記載のマッチドフィルタを具備したことを特徴とする携帯端末。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明はスペクトラム拡散通

信システムにおいて、スペクトラム拡散信号の逆拡散に用いられる相関方法及びマッチドフィルタ及びそれを用いた携帯端末に係り、特に回路規模を縮小し、消費電力を低減できる相関方法及びマッチドフィルタ及び携帯端末に関する。

【0002】

【従来の技術】マッチドフィルタとは、トランスバーサルフィルタの一種であり、入力された信号をカスケードに接続した遅延素子で遅延して保持つつ、順次後段の遅延素子に出力し、それとともに各遅延素子が出力する信号をタップ出力して、出力された信号と拡散符号とを乗算して加算することにより、各タイミングにおける相関演算を逐次的に行うことができるものである。マッチドフィルタは、スペクトラム拡散通信の受信機において広く応用されているものである。

【0003】マッチドフィルタに入力される信号は、一旦ディジタル信号に変換され、当該信号の帯域幅（拡散帯域幅）を超えるサンプリング周波数でサンプリングされる。ここで、受信される信号（拡散信号）のチップのタイミングが正確にわかっている場合は拡散チップレートと同一の周波数でサンプリングしても構わないが、一般的にはチップの正確なタイミングがわかっていない場合が多く、拡散チップレートの周波数に近いサンプリング周波数を用いるとサンプリングによって発生するイメージ干渉を除去しきれないことがある。

【0004】そこで、これらの問題を回避するために、いわゆるオーバーサンプリングと呼ばれる手法が用いられている。オーバーサンプリングとは、信号をチップレートの数倍高速にサンプリングし、1 つのチップについて複数のサンプリング結果から相関値を演算する手法である。

【0005】すなわち、スペクトラム拡散信号をオーバーサンプリングする場合は、1 拡散チップ長あたり複数のサンプリングが行われる。従って、事前に拡散信号のチップのタイミングがわかっていなくても正しく信号を逆拡散し捕捉することができ、またサンプリングによるイメージ信号の周波数は極めて高くなるので、処理の前段でのイメージ干渉の除去が容易となるものである。

【0006】尚、以下の説明において、1 拡散チップ長あたり k 倍のサンプリングを行う場合を、「 k 倍オーバーサンプリング」と称することとし、この k を「オーバーサンプリング数」と称することとする。また、拡散率（拡散符号語長）を n チップ、オーバーサンプリング数を k とすると、マッチドフィルタにおけるタップ数 m と、拡散率 n と、オーバーサンプリング数 k との間に、次の【数 1】の関係が成立する。

【0007】

$$\text{【数 1】 } m = n \times k$$

【0008】かかるオーバーサンプリングを実現した従来のマッチドフィルタについて図 3 を参照しつつ説明す

る。図3は、従来のマッチドフィルタの一例を表す構成ブロック図である。尚、図3では、拡散率を n チップ、オーバーサンプリング数を k とし、 $m = n \times k$ の場合のマッチドフィルタの構成を示している。

【0009】従来のマッチドフィルタは、図3に示すように、カスケード（縦続）接続した複数のレジスタ1で構成され、全体で m タップの出力を得るシフトレジスタ10'と、シフトレジスタ10'からタップされた信号と拡散符号とを乗算する m 個の乗算器2と、乗算器2からの乗算結果を加算する加算器3とから基本的に構成されている。

【0010】以下、従来のマッチドフィルタの各部について具体的に説明する。シフトレジスタ10'は、少なくとも $(m-1)$ 個のレジスタ1をカスケード（縦続）接続し、マッチドフィルタに入力される信号を各レジスタ1で一定のサンプリング時間（1チップに対応する時間をオーバーサンプリング数 k で除した時間）だけ保持しつつシフトし、マッチドフィルタの入力信号及び各レジスタ1の出力信号をタップして出力することにより、全体としてサンプリング時間毎に m タップの信号を取得するものである。

【0011】ここで、初段のレジスタ1-1は、マッチドフィルタに入力された信号を一定のサンプリング時間（1チップに対応する時間をオーバーサンプリング数 k で除した時間）だけ保持して、第2段目のレジスタ1-2に出力するものであり、後続のレジスタ1-2～1-($m-1$)は、各々前段のレジスタ1からデジタル信号に変換された信号の入力を受けて、サンプリング時間だけ当該信号を保持し、サンプリング時間が経過すると、保持している信号を後段のレジスタ1に出力するようになるものである。

【0012】乗算器2は、外部から拡散符号の1チップ分のコードの入力を受けて、シフトレジスタ10'から出力されるタップ出力の信号と当該拡散符号のコードとを乗算して加算器3に出力するものである。ここで、乗算器2-0～2-($m-1$)は、マッチドフィルタの入力信号及び各レジスタ1-1～1-($m-1$)の出力をタップしたタップ出力に対応して設けられている。

【0013】また、外部から入力される拡散符号の拡散符号コード $C_0 \sim C_{n-1}$ は、1つのコードが順に k 個の乗算器に供給されるようになっており、具体的には、 C_0 が乗算器2-0～乗算器2-($k-1$)に供給され、 C_1 が乗算器2- k ～乗算器2-($2k-1$)に供給され、最後の C_{n-1} が乗算器2-($m-k+1$)～乗算器2-($m-1$)に供給されるようになっている。

【0014】尚、以下の説明において、1チップに対応して、同一の拡散符号を乗算した乗算結果を得るための構成を「グループ」と称することとする。すなわち、図3においては、同一の拡散符号を乗算する k 個の乗算器2及び当該乗算器2に入力されるタップ出力を保持して

いた k 個のレジスタ1の組をグループとしており、全体として n 個のグループで構成されることになる。但し、グループ0では、最初のタップ出力が入力信号であり、保持されている必要が無い場合、レジスタ1の数は $(k-1)$ でよいことになる。

【0015】加算器3は、複数の乗算器2から入力される信号を加算して、マッチドフィルタの相関出力として外部に出力するものであり、図3では、 m 個の乗算器2から入力される信号を加算することになる。

【0016】次に、従来のマッチドフィルタの動作について説明すると、マッチドフィルタに入力されたデジタル信号は、 $(m-1)$ 個のレジスタ1に各々サンプリング時間毎に保持されつつ、入力時及び次段のレジスタ1に出力すると共にタップされ、タップ信号が対応する m 個の乗算器2に出力され、各乗算器2においてグループ毎に対応する拡散符号のコードと乗算されて、 m 個のタップ出力に対応する m 個の乗算結果が加算器3に出力される。

【0017】そして、加算器3が、サンプリング時間毎に当該 m 個の乗算結果を加算して、逐次的に相関出力を出力するようになっている。

【0018】このように、従来のマッチドフィルタでは、 k 倍オーバーサンプリングされた m 個の入力信号と逆拡散用参照符号の系列との内積演算による相関値が各サンプリング時間毎に得られるようになっている。

【0019】すなわち、従来のマッチドフィルタでは、相関出力を Y_{MF} 、 j 番目の拡散符号を C_j 、一連の入力信号（以下、「入力系列」と称する）を X_{ij} 、1サンプルの遅延演算子を Z 変換の表記法によって Z^{-1} と書くこととすると、 Y_{MF} が、次の【数2】で表されるものとなる。

【0020】

【数2】

$$Y_{MF} = \sum_{j=0}^{n-1} \sum_{i=0}^{k-1} C_j X_{ij} Z^{-(i+k \cdot j)}$$

【0021】ここで、 j はグループの番号であり、拡散率 n について、 $(0 \leq j \leq n-1)$ となるものである。また、 i は各グループにおいて何番目のタップであるかを示す番号であり、また当該タップを与えるシフトレジスタのグループ内における番号でもあって、オーバーサンプリング数 k について、 $(0 \leq i \leq k-1)$ となるものである。但し、図3に示したマッチドフィルタでは、グループ0における第0番目のタップを与えるシフトレジスタは省略されている。

【0022】つまり、【数2】に示すように、従来のマッチドフィルタは、具体的には、入力信号 X_{ij} をレジスタ1により $i+k \cdot j$ だけ遅延し、乗算器2により、当該信号 $(X_{ij} Z^{-(i+k \cdot j)})$ と拡散符号 C_j とを乗算した結果を加算器3で総和するようになっているのである。

【0023】

【発明が解決しようとする課題】しかしながら、上記従来のマッチドフィルタでは、精度向上のためにオーバーサンプリング数 k を増加させると、それに比例する数の乗算器が必要となり、回路規模が著しく増大して、消費電力を増大させるという問題点があった。

【0024】また、マッチドフィルタは、近年DS-CDMA (Direct Sequence-Code Division Multiple Access) 方式の携帯電話システムへの応用が検討されており、携帯電話の移動局（携帯端末）のような小形・低消費電力化が求められる環境では、かかる回路規模の増大や消費電力の増大を抑制する必要がある。

【0025】本発明は上記実情に鑑みて為されたもので、オーバーサンプリング数を大きくしても回路規模を著しく増加させることがなく、消費電力を低減できる相関方法及びマッチドフィルタ及び携帯端末を提供することを目的とする。

【0026】

【課題を解決するための手段】上記従来例の問題点を解決するための請求項1記載の発明は、相関方法において、入力信号のサンプリング結果を特定数でグループ化したサンプリング系列について、各グループのサンプリング系列の先頭から順に得られるサンプリング結果と前記各グループに対応する符号系列とを順次乗算し、前記乗算の度に各グループにおける乗算結果を加算し、前記加算結果を前記特定数に亘って加算することを特徴としており、符号系列とサンプリング結果との乗算処理をサンプリング系列毎に行うので、乗算処理を行う部分を低減できる。

【0027】上記従来例の問題点を解決するための請求項2記載の発明は、相関方法において、入力信号のサンプリング結果をオーバーサンプリング数毎に拡散率に対応する数のグループにグループ化してサンプリング系列とし、前記各グループのサンプリング系列の先頭から順に得られるサンプリング結果と前記各グループに対応する符号系列とを順次乗算し、前記乗算の度に前記各グループにおける乗算結果を加算し、前記加算結果を前記オーバーサンプリング数に亘って加算することを特徴としており、符号系列とサンプリング結果との乗算処理をサンプリング系列毎に行うので、オーバーサンプリングを行ったとしても、乗算処理を行う部分はオーバーサンプリング数に関係なく拡散率に対応する数のままで構成できる。

【0028】上記従来例の問題点を解決するための請求項3記載の発明は、マッチドフィルタにおいて、入力信号のサンプリング結果を順次シフトさせるレジスタをオーバーサンプリング数個連続に配列してレジスタグループとし、前記レジスタグループを拡散率より1小さい数連続して配列した第1のシフトレジスタ群と、前記入力信号及び前記レジスタグループにおける最終段のレジス

タから順次出力されるサンプリング結果と符号系列とを乗算する拡散率に対応する数の乗算器と、前記各乗算器からの出力を加算する第1の加算器と、前記第1の加算器からの出力を前記オーバーサンプリング数に亘って加算する移動平均化回路とを有することを特徴としており、符号系列とサンプリング結果とを乗算する乗算器を拡散率に対応する数のサンプリング系列毎に設け、乗算器出力の加算結果をオーバーサンプリング数に亘って再度加算するので、オーバーサンプリングを行ったとしても、乗算器はオーバーサンプリング数に関係なく拡散率に対応する数のままで構成でき、更に第1の加算器における入力数も低減できる。

【0029】上記従来例の問題点を解決するための請求項4記載の発明は、請求項3記載のマッチドフィルタにおいて、移動平均化回路は、第1の加算器からの出力を順次シフトさせるレジスタをオーバーサンプリング数より1小さい数連続して配列した第2のシフトレジスタ群と、前記第2のシフトレジスタ群の入力信号及び前記各レジスタに保持された値を加算する第2の加算器とを有する移動平均化回路であることを特徴としており、移動平均化回路部分も、シフトレジスタと加算器といった単純且つ簡易な構成で実現できる。

【0030】上記従来例の問題点を解決するための請求項5記載の発明は、請求項3記載のマッチドフィルタにおいて、移動平均化回路は、第1の加算器からの出力を累計加算する第3の加算器と、前記第3の加算器からの累計加算出力を一時的に保持し、前記保持した累計加算出力を前記第3の加算器に出力する累計レジスタと、前記第3の加算器からの累計加算出力を順次シフトさせるレジスタをオーバーサンプリング数連続して配列した第3のシフトレジスタ群と、前記第3の加算器からの累計加算出力と前記第3のシフトレジスタ群の最終段のレジスタからの出力との差分をとる第4の加算器とを有する移動平均化回路であることを特徴としており、移動平均化回路部分の2つの加算器共に2入力の簡単な構成で実現できる。

【0031】上記従来例の問題点を解決するための請求項6記載の発明は、携帯端末において、請求項3乃至請求項5記載のマッチドフィルタを具備したことを特徴としており、復調精度を上げながら、且つマッチドフィルタ部分の回路規模を大幅に縮小して、装置の小型化及び低消費電力化を図ることができる。

【0032】

【発明の実施の形態】本発明の実施の形態について図面を参照しながら説明する。本発明の実施の形態に係る相関方法及びマッチドフィルタ（本マッチドフィルタ）は、マッチドフィルタで行われる演算の順序を変更すると、回路規模を低減できることに注目して、入力信号のサンプリング結果を遅延させながらオーバーサンプリング数 k 個の単位で拡散率 n に対応する数のグループにグ

ループ化してサンプリング系列とし、各グループのサンプリング系列について先頭から順に得られるサンプリング結果と対応する拡散符号とを乗算して各グループの乗算結果を総和しておき、当該総和を遅延させつつオーバーサンプリング数 k 個に亘ってもう一度総和するものなので、オーバーサンプリング数に比例する数の乗算器を設ける必要が無く、精度向上を図りながら回路規模を著しく増大することなく、消費電力も低減できるものである。

【0033】まず、本発明の請求項に係る相関方法について説明する。従来技術で説明したように、拡散率（拡散符号語長） n チップで k 倍オーバーサンプリングを行う場合の従来のマッチドフィルタの出力は、[数2]の式で表されたが、本発明の相関方法は、[数2]の式を次の[数3]に変形することができることに着目したものである。

【0034】

【数3】

$$Y_{MF} = \sum_{i=0}^{k-1} Z^{-i} \sum_{j=0}^{n-1} C_j X_{ij} Z^{-k-j}$$

【0035】つまり、[数3]によれば、 k 個の単位でグループ化して遅延した入力信号（ $X_{ij} Z^{-k-j}$ ）と、拡散符号 C_j とを乗算して総和しておき、それを i だけ遅延させつつ（ Z^{-i} ）、もう一度総和することとしても、[数2]と同じ結果が得られるのである。

【0036】よって、本発明の相関方法は、入力信号を遅延させながら取得するサンプリング結果をオーバーサンプリング数 k 個の単位で拡散率に対応する数のグループにグループ化してサンプリング系列とし、各グループのサンプリング系列に対して、各々対応する拡散符号を順次乗算し、乗算の都度各グループの乗算結果を加算して総和を取り、当該総和について遅延させながら、オーバーサンプリング数 k 個に亘って更に加算して総和を取るものである。尚、最初の総和を行うまでの段階を第1段階、次の総和を行うまでの段階を第2段階とそれぞれ称することとする。

【0037】次に、本発明の相関方法を実現する第1のマッチドフィルタについて、図1を用いて説明する。図1は、本発明の第1のマッチドフィルタの構成ブロック図である。尚、図3と同様の構成をとる部分については同一の符号を付して説明する。また、図1では、図3と同様に、拡散率を n チップ、オーバーサンプリング数を k とし、 $m = n \times k$ の場合のマッチドフィルタの構成を示している。

【0038】本発明の第1のマッチドフィルタは、図1に示すように、カスケード（縦続）接続した複数のレジスタ1で構成され、全体で n タップの出力を得る第1のシフトレジスタ10と、第1のシフトレジスタ10からタップされた信号と拡散符号とを乗算する n 個の乗算器

2と、乗算器2からの乗算結果を加算する第1の加算器3と、カスケード（縦続）接続した複数のレジスタ1'で構成され、全体で k タップの出力を得る第2のシフトレジスタ4と、第2のシフトレジスタ4の各タップから出力される信号を加算して出力する第2の加算器5とから構成されている。尚、ここで第1のシフトレジスタ10が請求項の第1のシフトレジスタ群に相当し、第2のシフトレジスタ4が請求項の第2のシフトレジスタ群に相当している。

【0039】そして、本発明のマッチドフィルタでは、第1の加算器3に入力される n 個の乗算結果を得るための構成をグループとし、 n 個のグループ（グループ0～グループ（ $n-1$ ））で構成されている。

【0040】具体的にグループは、オーバーサンプリング数 k に対応する数の信号の組（以下及び請求項において、「サンプリング系列」と称する）を保持するレジスタ1の組（レジスタグループ）と、乗算器2とから構成されている。但し、グループ0は例外で、入力信号をタップして順次乗算器2で拡散符号の C_0 を乗算するので、レジスタ1を設ける必要が無く、乗算器2-0のみの構成である。

【0041】そして、各レジスタ1では、一定のサンプリング時間（1チップに対応する時間をオーバーサンプリング数 k で除した時間）だけ経過するごとに、順次保持している信号を次のレジスタ1に出力すると共に、各レジスタグループの最終段（最右）のレジスタ1から出力される信号はタップされて、各グループのサンプリング系列として対応する乗算器2に出力され、乗算器2において対応する拡散符号 C と乗算されるようになっていく。

【0042】以下、各部を具体的に説明する。レジスタ1は、従来のレジスタ1と同様のもので、カスケードに接続されており、初段のレジスタ1-1は、入力された信号を一定の時間（1チップに対応する時間をオーバーサンプリング数 k で除した時間）だけ保持して、第2段目のレジスタ1-2に出力し、後続のレジスタ1-2以降は、各々前段のレジスタ1からデジタル信号に変換された信号の入力を受けて、一定時間だけ当該信号を保持し、一定の時間が経過すると、保持している信号を後段のレジスタ1に出力するようになるものである。

【0043】但し、第1のマッチドフィルタにおけるレジスタ1は、カスケードに接続されている数が、図3に示した従来のマッチドフィルタとは異なっている。具体的に、本発明の第1のマッチドフィルタのレジスタ1の数は、グループ（0）では、上記説明したように0個であり、グループ（1）～グループ（ $n-2$ ）では、従来と同様に k 個ずつである。よって、本発明の第1のマッチドフィルタでは、全体として（ $m-k$ ）個のレジスタ1がカスケード接続されている。

【0044】そして、各グループに対して1つの乗算器

2が設けられていて、各グループの最終段（最右）のレジスタ1から出力されるデータが各々対応する乗算器2に入力されるようになっている。

【0045】乗算器2は、外部から拡散符号の1チップ分のコードの入力を受けて、マッチドフィルタに入力された信号のサンプリング系列と当該拡散符号のコードとを乗算して第1の加算器3に出力するものである。

【0046】具体的に、乗算器2-0~2-(n-1)は、各々グループ(0)~グループ(n-1)に対応して設けられており、グループ0の場合はマッチドフィルタへの入力信号と外部から入力される拡散符号C0とを乗算し、その他のグループの場合は、各グループの最終段（最右）のレジスタ1から出力される信号と外部から入力される拡散符号C1~Cn-1の各コードとを乗算して第1の加算器3に出力するものである。

【0047】第1の加算器3は、n個の乗算器2-0~2-(n-1)から入力されるn個の信号を加算して、第1段階の加算結果として出力するものである。

【0048】第2のシフトレジスタ4は、図1に示すように、オーバーサンプリング数kに対応して(k-1)個のカスケードに接続されているレジスタ1'から構成され、入力信号及び各レジスタ1'からの出力をタップして全体でkタップの出力を得ようになっている。

【0049】また、各レジスタ1'は、一定のサンプリング時間(1チップに対応する時間をオーバーサンプリング数kで除した時間)だけ経過する毎に、初段のレジスタ1'-0は、第1の加算器3から出力される第1段階の加算結果を入力し、後段のレジスタ1'-1~レジスタ1'-(k-1)は、前段のレジスタ1'から出力されるデータを入力して、保持している信号を出力するとともに、入力された信号を保持するものである。

【0050】第2の加算器5は、シフトレジスタ4の入力信号及び各レジスタ1'が出力する信号からタップされた信号を加算して、第2段階の加算結果、つまりは最終的なマッチドフィルタの相関出力として外部に出力するものである。

【0051】次に、本発明の第1のマッチドフィルタの動作について説明する。本発明の第1のマッチドフィルタでは、入力された信号がシフトレジスタ10を構成するカスケードに接続された各レジスタ1において、一定の時間(1チップに対応する時間をオーバーサンプリング数で除した時間)だけ保持されて、後段のレジスタ1に出力されていく。この時各グループにおいては、レジスタグループがkチップ分の時間に亘る入力信号のサンプリング系列を保持していることになる。

【0052】そして、グループ0における入力信号及び他のグループにおける最終段のレジスタ1から出力される信号は、後段のグループに出力されると共に、タップされて対応する乗算器2に出力され、この信号は、すなわちkサンプリング時間単位のサンプリング系列が順次

出力されることになる。

【0053】そして、グループ(0)~グループ(n-1)に対応する乗算器2-0~2-(n-1)において、各グループのサンプリング系列と、対応する拡散符号とが乗算されて、第1の加算器3に出力される。そして、第1の加算器3が、これらを加算して、第1段階の演算結果を出力するようになる。

【0054】そして、第2のシフトレジスタ4の各レジスタ1'において、第1の加算器3が出力する第1段階の演算結果を一定のサンプリング時間(1チップに対応する時間をオーバーサンプリング数kで除した時間)だけ保持する。つまり、シフトレジスタ4が、k個の第1段階の演算の結果をkサンプリング時間に亘って保持し、第2の加算器5が、当該k個の第1段階の演算の結果を加算して、第2段階の演算を行い、相関出力として外部に出力するようになっている。本マッチドフィルタは、このようにして【数3】に示す演算を行うようになっている。

【0055】上記説明した本発明の第1のマッチドフィルタによれば、オーバーサンプリング数kに関わらず、拡散率nに対応する数の乗算器2のみで相関出力を得ることができるので、精度向上のためにオーバーサンプリング数kを大きくしても、従来のマッチドフィルタのようにオーバーサンプリング数kに比例する数の乗算器を設ける必要が無く、回路規模を著しく増大することなく低減し、消費電力も低減できる効果がある。

【0056】また、本発明の第1のマッチドフィルタでは、第1の加算器3における入力がn個であり、従来のマッチドフィルタの第1の加算器3に比べて1/kに低減できるので、構成を簡素化できる効果がある。

【0057】次に、本発明の相関方法を実現する別のマッチドフィルタ(第2のマッチドフィルタ)について説明する。第2段階の演算を行う回路としては、図1に示したシフトレジスタ4と第2の加算器5とを用いたトランスバーサルフィルタ型の移動平均化回路に代えて、リカーシブフィルタ型の移動平均化回路を用いることも考えられる。

【0058】そこで、本発明の第2のマッチドフィルタは、第1段階の加算を行う構成は第1のマッチドフィルタと同一であり、第2段階の加算を行う移動平均化回路をリカーシブフィルタ型にしたものである。

【0059】第2のマッチドフィルタについて図2を用いて説明する。図2は、本発明の第2のマッチドフィルタにおける第2段階の演算部分である移動平均化回路の構成ブロック図である。

【0060】図2に示す第2のマッチドフィルタの移動平均化回路は、第3の加算器21と、オーバーサンプリング数kに対応する数のレジスタ1"-1~1"-kで構成される第3のシフトレジスタ20と、累計レジスタ23と、第4の加算器22とから主に構成されている。尚、

ここで第3のシフトレジスタが請求項の第3のシフトレジスタ群に相当している。

【0061】ここで、第3の加算器21は、図1に示した本マッチドフィルタの第1の加算器3から出力される信号と、後に説明する累計レジスタ23から出力される信号とを加算した結果を累計加算出力として、累計レジスタ23及びレジスタ1"-1及び第4の加算器22に出力するものである。

【0062】レジスタ1"-1~1"-kは、カスケードに接続され、それぞれ一定のサンプリング時間（1チップに対応する時間をオーバーサンプリング数kで除した時間）だけ入力された信号を保持し、その後、後段のレジスタ1"に当該保持していた信号を出力するものである。また、最後段のレジスタ1"-kは、保持していた信号を第4の加算器22に出力するようになる。

【0063】第4の加算器22は、第3の加算器21が出力する信号と、第3のシフトレジスタ群の最終段であるレジスタ1"-kから出力される信号とを加算し、その結果を第2段階の演算の結果、つまりはマッチドフィルタにおける相関出力として外部に出力するものである。

【0064】累計レジスタ23は、第3の加算器21が出力する累計加算信号の入力を受けて、一定の時間だけ保持し、その後、第3の加算器21に保持している信号を出力するものである。

【0065】なお図2の移動平均化回路は、第3の加算器と累計レジスタ23とによって1タップの積分回路を、またレジスタ1"-1~1"-kと第4の加算器22とによってkタップの遅延差分回路をそれぞれ構成しており、これら2つの回路がカスケード接続されている。

【0066】次に、第2のマッチドフィルタの動作について、図2に示す移動平均化回路の動作を中心に説明する。本発明の第2のマッチドフィルタでは、第1のマッチドフィルタと同様に、入力された信号が、シフトレジスタ10の各レジスタ1において、一定の時間だけ保持されつつシフトしながら、各グループにおける入力信号（kチップ時間毎のサンプリング系列）が対応する乗算器2に出力されて、各乗算器2で対応する拡散符号と乗算されて、第1の加算器3でn個の乗算結果が加算されて、第1段階の演算結果として出力される。

【0067】そして、第2のマッチドフィルタでは、第1段階の演算結果が、図2の移動平均化回路に順次入力され、第3の加算器21と累計レジスタ23との動作によって、入力される信号を順次累計加算したものを出力する。

【0068】そして、上記累計加算出力は、レジスタ1"-1~レジスタ1"-kに一定の時間だけ保持されつつシフトされ、kチップ時間後に、第4の加算器22にて第3の加算器21からの累計加算出力と差分演算されて、第2段階の演算結果、つまりはマッチドフィルタの相関出力として外部に出力されるようになっている。

【0069】上記動作の結果、図2の移動平均化回路において、第1段階の演算結果について、kサンプリング時間に亘って加算した結果が順次出力されることになる。

【0070】尚、かかる移動平均化回路のフィルタ特性H(Z)は、次の【数4】で表されるものとなっている。

【0071】

【数4】

$$H(Z) = \frac{1 - Z^{-k}}{1 - Z^{-1}} = \sum_{i=0}^{k-1} Z^{-i}$$

【0072】【数4】の最右辺は、【数3】右辺の前半部と同様であり、図2の移動平均化回路が、図1に示した第1のマッチドフィルタの第2段階部分のトランスバースアルフィルタ型の移動平均化回路と同等であることがわかる。

【0073】本発明のマッチドフィルタによれば、拡散率nでk倍オーバーサンプリングを実現するために、

(n-1)×k個のレジスタ1をカスケード接続し、k個のレジスタ1をグループ化してレジスタグループとし、マッチドフィルタの入力信号及び各グループの最終段のレジスタ1の出力をタップして、n個のタップ出力をサンプリング系列として取得し、当該タップに対応して設けた乗算器で、それぞれサンプリング系列と拡散符号とを乗算し、乗算の度にn個の乗算結果を加算することによって、第1段階としてkサンプリング時間毎のサンプリング系列に対して拡散符号を乗算したものの加算結果を取得し、第2段階として前記加算結果について遅延させながらkサンプリング時間に亘って加算するので、精度向上のためにオーバーサンプリング数kを増大しても乗算器の数は拡散率nに依存する数のままでよい。従来に比べて乗算器の数が1/kとなり、回路規模を大幅に縮小でき、消費電力も大幅に削減できる効果がある。

【0074】更に、本発明の第1のマッチドフィルタによれば、シフトレジスタ10からのn個のタップについて拡散符号を乗算し、n個の乗算結果を第1の加算器で加算し、当該加算結果を(k-1)個のレジスタでシフトしながらkタップについて第2の加算器で加算するので、従来のマッチドフィルタでm=k×n個の加算を行うのに比べて、第1のマッチドフィルタではn個の加算とk個の加算でよい。加算器の規模も縮小できて回路規模を大幅に縮小でき、消費電力も大幅に削減できる効果がある。

【0075】また、本発明の第2のマッチドフィルタによれば、第1段階としてシフトレジスタ10からのn個のタップについて拡散符号を乗算し、n個の乗算結果を第1の加算器で加算し、第2段階として当該加算結果を1タップの積分器とkタップの遅延差分回路によってk

サンプリング時間に亘って加算するので、第2段階は2入力の加算器を2つ具備すればよく、第1のマッチドフィルタよりも更に加算器の規模を縮小でき、路規模を大幅に縮小でき、消費電力も大幅に削減できる効果がある。

【0076】また、図1及び図2に示した本マッチドフィルタを採用した携帯端末では、復調性を向上のためにオーバーサンプリング数を大きくしても、マッチドフィルタの回路規模を著しく増大することなく縮小でき、消費電力が低減できるので、装置全体を小型化でき、更に長時間使用できる携帯電話とすることができる効果がある。

【0077】

【発明の効果】請求項1記載の発明によれば、入力信号のサンプリング結果を特定数でグループ化したサンプリング系列について、各グループのサンプリング系列の先頭から順に得られるサンプリング結果と各グループに対応する符号系列とを順次乗算し、乗算の度に各グループにおける乗算結果を加算し、加算結果を特定数に亘って加算する相關方法としているので、符号系列とサンプリング結果との乗算処理をサンプリング系列毎に行うことができ、乗算処理を行う部分を低減し、処理を簡素化できる効果がある。

【0078】請求項2記載の発明によれば、入力信号のサンプリング結果をオーバーサンプリング数毎に拡散率に対応する数のグループにグループ化してサンプリング系列とし、各グループのサンプリング系列の先頭から順に得られるサンプリング結果と各グループに対応する符号系列と乗算し、乗算の度に各グループにおける乗算結果を加算し、加算結果をオーバーサンプリング数に亘って加算する相關方法としているので、オーバーサンプリングを行ったとしても、乗算処理を行う部分はオーバーサンプリング数に関係なく拡散率に対応する数のままで構成でき、オーバーサンプリングによって復調精度を向上しながら、乗算処理を行う部分を低減し、処理を簡素化できる効果がある。

【0079】請求項3記載の発明によれば、レジスタをオーバーサンプリング数個連続に配列したレジスタグループを、拡散率より1小さい数連続して配列して第1のシフトレジスタ群とし、第1のシフトレジスタ群で入力信号のサンプリング結果を順次シフトさせながら、入力信号及びレジスタグループにおける最終段のレジスタから順次出力されるサンプリング結果と符号系列とを乗算器で乗算し、乗算器からの出力を第1の加算器で加算し、移動平均化回路で第1の加算器からの出力をオーバーサンプリング数に亘って加算するマッチドフィルタと

しているので、オーバーサンプリングを行ったとしても、オーバーサンプリング数に関係なく拡散率に対応する数の乗算器で構成でき、オーバーサンプリングによって復調精度を向上しながら、乗算器数を増大することなく構成要素を簡素化して回路規模を縮小し、消費電力をも低減できる効果がある。

【0080】請求項4記載の発明によれば、移動平均化回路が、第2のシフトレジスタ群で第1の加算器からの出力を順次シフトさせると共に、第2のシフトレジスタ群の入力信号及び各レジスタに保持された値を第2の加算器で加算する移動平均化回路である請求項3記載のマッチドフィルタとしているので、移動平均化回路部分も、シフトレジスタと加算器といった単純且つ簡易な構成で実現でき、回路規模を縮小し、消費電力をも低減できる効果がある。

【0081】請求項5記載の発明によれば、移動平均化回路が、第1の加算器からの出力を第3の加算器と累計レジスタとによって累計加算しながら、第3の加算器からの累計加算出力を第2のシフトレジスタ群で順次シフトさせ、第4の加算器で第3の加算器からの累計加算出力と第2のシフトレジスタ群からの出力との差分をとる移動平均化回路である請求項3記載のマッチドフィルタとしているので、移動平均化回路部分の2つの加算器共に2入力の簡単な構成で実現でき、回路規模を縮小し、消費電力をも低減できる効果がある。

【0082】請求項6記載の発明によれば、請求項3乃至請求項5記載のマッチドフィルタを具備した携帯端末としているので、オーバーサンプリングによって復調精度を上げながら、且つマッチドフィルタ部分の回路規模を大幅に縮小して、装置の小型化及び低消費電力化を図ることができる効果がある。

【図面の簡単な説明】

【図1】本発明の第1のマッチドフィルタの構成ブロック図である。

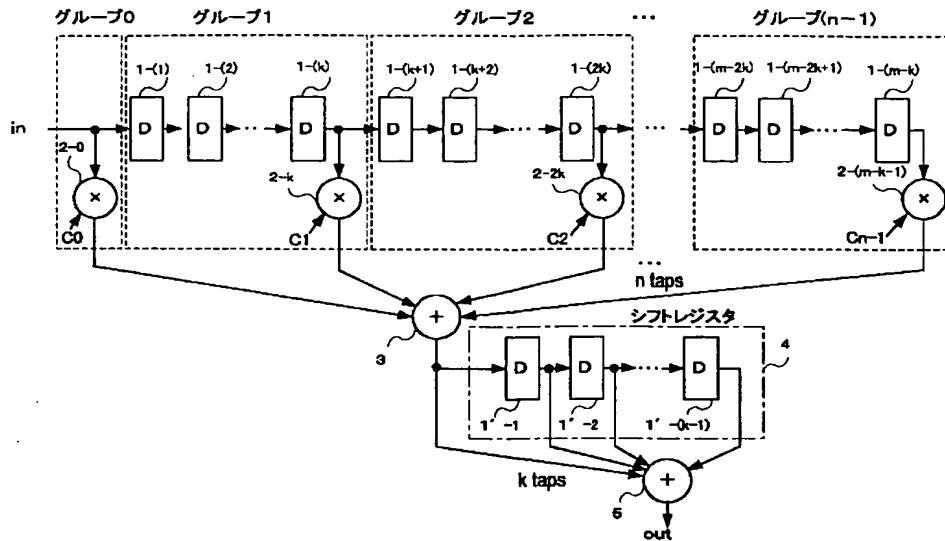
【図2】本発明の第2のマッチドフィルタにおける移動平均化回路の構成ブロック図である。

【図3】本発明の第2のマッチドフィルタにおける第2段階の演算部分である移動平均化回路の構成ブロック図である。

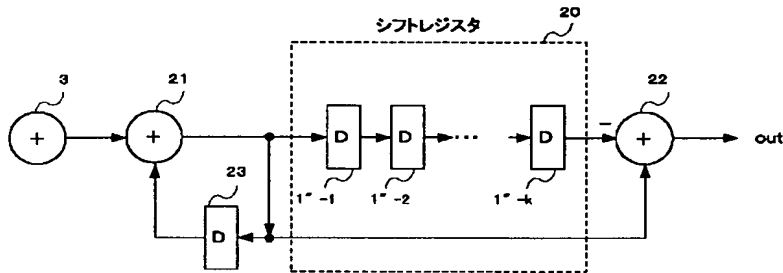
【符号の説明】

1、1'…レジスタ、 2…乗算器、 3…第1の加算器、 4…第2のシフトレジスタ、 5…第2の加算器、 10…第1のシフトレジスタ、 20…第3のシフトレジスタ、 21…第3の加算器、 22…第4の加算器、 23…累計レジスタ

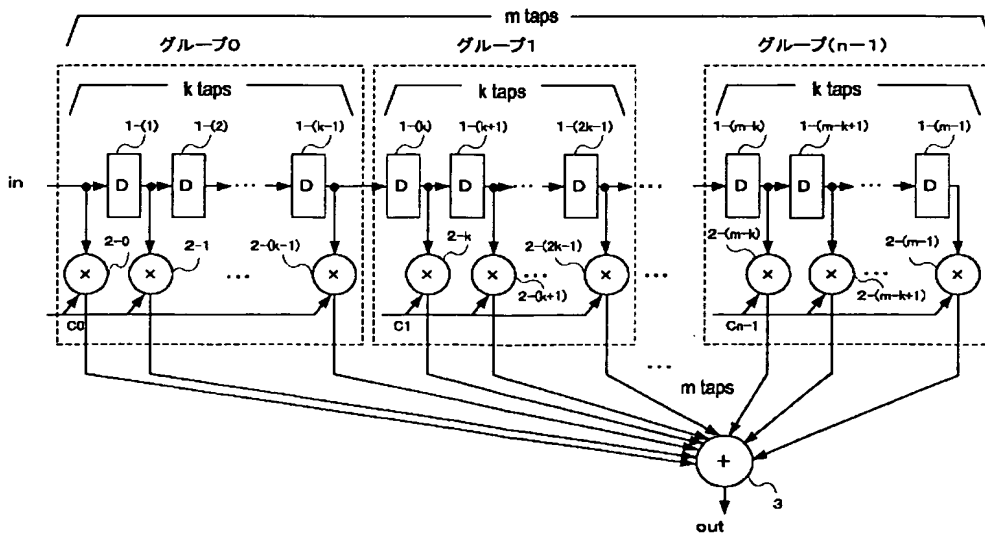
【図 1】



【図 2】



【図 3】



This Page Blank (uspto)